

Interconexión de Sistemas Basados en HyperTransport

Juan A. Villar, Francisco J. Alfaro, José L. Sánchez¹ y José Duato²

Resumen— El protocolo original de HyperTransport (HT) se puede utilizar para la interconexión de un número limitado de procesadores. Recientemente, se ha publicado la especificación de High Node Count que extiende HT, superando con creces ese límite original. Así, se podrán construir clusters con un número elevado de procesadores, intercomunicados nativamente con HT. En la actualidad, se dispone de tarjetas de extensión que ya permiten interconectar procesadores ensamblados en distintas placas madre. En determinadas topologías será necesario emplear switches nativos de HT, lamentablemente, estos switches no están disponibles.

En este trabajo se presenta una forma de construir switches nativos de HT, mediante la anidación de varias tarjetas de extensión nativas de HT ya existentes. Con la anidación de varias tarjetas de extensión aparecen varias cuestiones arquitectónicas que deben ser tratadas.

Palabras clave— HyperTransport, HNC, HTX-card, Switches.

I. INTRODUCCIÓN

La tecnología HyperTransport [1] (HT), originalmente llamada *Lightning Data Transfer* (LDT), fue desarrollada inicialmente por *Advanced Micro Devices* (AMD) con la ayuda de otras empresas, para conseguir un enlace punto a punto, de alta velocidad y baja latencia para la interconexión de circuitos integrados en placa.

A principios del 2001, AMD fundó el consorcio de HT [2] (*HyperTransport Consortium*), para garantizar el acceso a la tecnología HT. En concreto, es la entidad que publica la especificación, la mantiene, y conduce el desarrollo de sus nuevas versiones. El consorcio agrupa a las empresas que desarrollan productos basados en la tecnología HT, lo que les permite realizar diseños con la seguridad de que su producto final será compatible con un gran repertorio de sistemas diferentes.

La tecnología de interconexión HT suministra una latencia baja en enlaces *chip-to-chip* y *board-to-board*. HT plantea una arquitectura escalable y flexible, diseñada para reducir el número de buses en el sistema. Con unos enlaces de alto rendimiento, sus aplicaciones van desde sistemas empujados, ordenadores personales y servidores, hasta equipamiento de red y supercomputadores.

La especificación de HT ha alcanzado la versión 3.1, que extiende a la anterior versión 3.0. En HT 3.1

la frecuencia de reloj va de 2,8GHz a 3,2 GHz, empleando *dual data rate*. El ancho de banda máximo agregado que un enlace HT 3.1 es capaz de alcanzar asciende a 51,2 Gbyte/s, suponiendo un aumento del 23 % respecto a HT 3.0 y un 128 % respecto a la anterior HT 2.0. HT es completamente compatible con algunas tecnologías legadas de interconexión de componentes periféricos, como son PCI, PCI-X y PCI-Express.

HyperTransport es una tecnología que habilita la interconexión de procesadores entre ellos, y con dispositivos de E/S. Proporciona una latencia extremadamente baja, gran ancho de banda y una excelente escalabilidad. Además, también se dispone de la especificación del conector HTX [3] que permite la interconexión directa del procesador con tarjetas de extensión. De este modo se puede conseguir la utilización de co-procesadores que descarguen al procesador de tareas.

La característica que distingue unívocamente a HyperTransport del resto de tecnologías de interconexión es, no obstante, que es una tecnología nativa, es decir, está integrada en el propio chip del procesador. Por ejemplo, dentro del procesador Opteron de AMD la comunicación se realiza mediante cHT [2] que es la versión de HT con soporte para la coherencia de cache y que la utilizan los procesadores Opteron para comunicarse entre ellos. No obstante, la comunicación entre el procesador Opteron y el resto de periféricos que componen el sistema de E/S se lleva a cabo mediante HT.

Tradicionalmente, la comunicación entre la CPU y los periféricos se ha llevado a cabo mediante un procesador dedicado llamado *chipset*. La desventaja principal de esa arquitectura es que los accesos a los periféricos compiten con los accesos a la memoria principal. Una vez que los accesos a los dispositivos superan el chipset en muchos casos deben ser traducidos a otros estándares de comunicación, como PCI o PCI-Express. Consecuentemente, las respuestas de los dispositivos periféricos seguirán el sentido inverso.

Puesto que HT es una solución nativa, se alcanza una increíble aceleración pues la intercomunicación entre el procesador y los periféricos se logra mediante la misma tecnología. Además, con la utilización de enlaces punto a punto se elimina la sobrecarga que impondría tener un chipset, tal y como sucede en el resto de tecnologías. Adicionalmente, no es necesario ningún proceso de traducción entre protocolos. El resultado de dicha innovación arquitectónica es que HT se vislumbra como la tecnología de interconexión de las próximas décadas.

¹Departamento de Sistemas Informáticos, Escuela Superior de Ingeniería Informática, Universidad de Castilla-La Mancha, 02071, Albacete (España). e-mail: {juanan, falfaro, jsanchez}@dsi.uclm.es

²Departamento de Informática de Sistemas y Computadores, Universidad Politécnica de Valencia, 46071, Valencia (España). e-mail: jduato@disca.upv.es

La arquitectura planteada por HT es tan revolucionaria que incluso el mayor competidor de AMD, Intel, ha modificado el diseño de sus procesadores para que incluyan las principales características de HT. Para ello, Intel ha desarrollado una nueva tecnología de interconexión propietaria, llamada *Quick Path Interconnects* [4], [5] (QPI).

Aunque las características únicas de HT la hacen una excelente plataforma para los sistemas futuros, también son las responsables de que HT sufra de falta de escalabilidad. Esto choca con las necesidades futuras de las plataformas de alto rendimiento (*High Performance Computing*), donde si bien las tecnologías de alto rendimiento son necesarias, también se requiere que sean soluciones escalables.

Cuando HT daba los primeros pasos con las versiones iniciales de la especificación y aparecían en el mercado los primeros procesadores Opteron, la escalabilidad no se veía como un problema importante. Desde hace un tiempo, el consorcio de HT ha identificado a la escalabilidad como un problema futuro, y por tanto, viene desarrollando varias extensiones a HT para mejorar la escalabilidad. La *High Node Count* [6] (HNC) de HT, es una extensión de las especificaciones de HT 3.1 que definen los mecanismos necesarios para utilizar HT en la interconexión de un número elevado de procesadores.

El HNC es una extensión muy importante pues añade dos características: soluciona el problema de escalabilidad de la especificación original de HT, y permite que la comunicación sea nativa con HNC (HT extendido), evitando así una fase de traducción del protocolo HT a otro protocolo de red. Si en la red de procesadores la información viaja en formato HNC es necesario disponer de hardware que entienda HNC. Por tanto, hace falta disponer de elementos de red como switches o routers que permitan la construcción de los mencionados clusters.

En el mercado ya está disponible una tarjeta de extensión que se conecta al conector HTX de la placa madre y permite conectarse con otras placas madre remotas. La tarjeta se llama HTX-card [7] y ha sido desarrollada por la Universidad de Heidelberg (Alemania). Esta tarjeta dispone de seis puertos externos que se pueden utilizar para formar tanto redes directas como indirectas, además de otros puertos internos. Un uso muy interesante que se puede hacer de la tarjeta es que se pueden utilizar varias de estas tarjetas y unir las a través de sus enlaces internos para formar switches con un número de puertos externo superior. Por ejemplo, con dos tarjetas se podrá construir un switch de 12 puertos externos. Este trabajo trata de describir cómo la tarjeta HTX-card puede utilizarse para construir switches nativos de HT. Además, identifica varios problemas y restricciones que necesitan ser tratados.

Este trabajo se estructura de la siguiente forma: en la Sección II se presenta el protocolo HT, la Sección III se centra en cómo conseguir que una red de procesadores se interconecte nativamente con HT. En la Sección IV se presentan unas propuestas para

construir switches nativos de HT que permitirán construir redes de procesadores, y qué metodología se va a seguir. Finalmente, la Sección V presenta las conclusiones.

II. HYPERTRANSPORT

La tecnología de interconexión HT suministra una latencia baja en enlaces *chip-to-chip* y *board-to-board*. HT plantea una arquitectura escalable y flexible, diseñada para reducir el número de buses en el sistema. Con unos enlaces de alto rendimiento, sus aplicaciones van desde sistemas empujados, ordenadores personales y servidores, hasta equipamiento de red y supercomputadores.

El *HyperTransport Consortium* [2] es la entidad que publica la especificación, la mantiene y conduce el desarrollo de sus nuevas versiones. El consorcio agrupa a las empresas que desarrollan productos basados en la tecnología HT, lo que les permite realizar diseños con la seguridad de que el producto final será compatible con un gran repertorio de sistemas diferentes.

La especificación de HT define la pila completa del protocolo desde la capa física hasta la capa de transacción. La capa física define los parámetros eléctricos que los dispositivos deben soportar para ser compatibles con HT. La capa física también se encarga de la serialización/deserialización de las señales.

El enlace HT (Figura 1) está compuesto por señales de comando (Command-Address-Data, CAD), de control (CTL) y de reloj (CLK). El ancho válido para el CAD es 2, 4, 8, 16 y 32 bits, aunque actualmente los más habituales son los de 8 y 16. La señal CTL se utiliza para indicar si el CAD transmite información de control o de datos. Desde la versión 3.0, los enlaces HT pueden subdividirse a partir de anchos de CAD de 8 bits. Por ejemplo, un enlace con un CAD de 16 bits permite ser configurado como dos enlaces con CAD de 8 bits. Esta característica se llama *link-splitting* y permite que un enlace físico opere como dos enlaces físicos de menor ancho de banda.

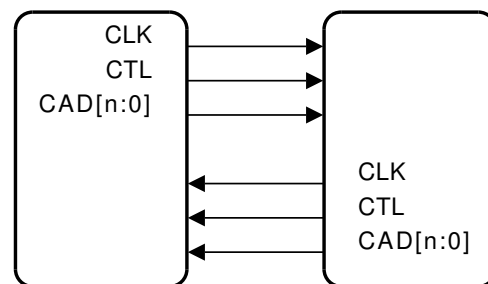


Fig. 1. Enlace de HT.

La capa de transacción se encarga de transmitir la información por los enlaces por medio de paquetes. Todos los paquetes están clasificados como paquetes de control o de datos. Además, en HT existe el concepto de transacción, de modo que una transacción se compone de un paquete de control, y cuando sea necesario, de un paquete de datos. Así, todos los

paquetes de control contienen un campo que indica un comando que representa una operación, por ejemplo: lectura, escritura, barrera, respuesta de escritura, etc.

Por otra parte, los paquetes de datos no contienen información de encaminamiento, y se limitan a seguir a su correspondiente paquete de control y, por tanto, es obligatorio que entre un paquete de control y su correspondiente paquete de datos no exista ningún otro paquete de datos.

El tamaño de los paquetes de control viene dado por el tipo de paquete. Por contra, el tamaño de los paquetes de datos se define en el correspondiente paquete de control. El tamaño habitual de un paquete de control está entre 4 y 8 bytes, y en el caso de los paquetes de datos está entre 4 y 64 bytes.

Para evitar los posibles bloqueos causados por las dependencias cíclicas, y para poder reordenar los flujos de información independientes que se transmiten por los enlaces, HT define canales virtuales (CV) de tres tipos:

- El tipo *Nonposted* contiene las transacciones que necesitan ser confirmadas por el destinatario de la transacción. A este tipo pertenecen las operaciones de lectura, por ejemplo.
- El tipo *Posted* contiene las transacciones que no necesitan ser confirmadas. Por ejemplo, las peticiones de escritura utilizan este canal.
- El tipo *Response* contiene las peticiones que son una respuesta de otra transacción nonposted previa.

Por otra parte, HT es compatible con PCI. Esto le afecta a varios niveles en el diseño, por ejemplo, implica que el proceso de inicialización y configuración en ambas tecnologías son idénticos. El sistema, tras completar la fase de arranque, delega en el software la responsabilidad de configuración del sistema con las características avanzadas propias de HT. Igualmente, HT aplica las mismas reglas de ordenación de E/S que define PCI. Esto asegura que las secuencias emitidas con restricciones de ordenación son recibidas y procesadas respetando dicha ordenación original del emisor.

El grupo *Advanced Technology Group* (ATG) [8], que es miembro del Consorcio, se encarga de proponer los mecanismos y abstracciones que permitirán la construcción de clusters de procesadores con HT de forma nativa. En la placa madre (basadas en procesadores Opteron) existe un conector nativo de HT, llamado HTX, donde se conecta una tarjeta de extensión (HTX-card). La comunicación entre la HTX-card y el procesador se lleva a cabo mediante HT, o bien: y para la comunicación entre la tarjeta y los elementos, que quedan fuera de la placa, puede utilizarse cualquier otro protocolo, aunque el interés del Consorcio es que sea HT el utilizado.

El ATG ha liberado recientemente una extensión al protocolo HT (*High Node Count* [6]) que permite interconectar un número alto de nodos con HT. Debido a restricciones de confidencialidad, no se darán

detalles concretos en este trabajo. La especificación HNC puede implementarse de dos formas diferentes, cada una con un impacto, y coste, diferente en el sistema.

Implementación nativa. Esta primera implementación es la más intrusiva de las dos porque implica modificar la lógica interna de los procesadores Opteron, a fin de habilitarlos para que se comuniquen directamente a través de las extensiones. Al no utilizar ninguna lógica intermedia, se podrá minimizar la latencia y maximizar el ancho de banda.

La principal desventaja es que el procesador Opteron debe incorporar toda la lógica de las extensiones de HT, a lo que AMD puede mostrar una alta reticencia, pues produciría diseños del procesador Opteron menos generalistas.

Implementación puenteada. Es la alternativa a la anterior, implica incorporar toda la lógica impuesta por las extensiones en una tarjeta de extensión, manteniendo el procesador Opteron inalterado. La comunicación entre ambos se realiza mediante HT de la forma habitual. El propósito de la tarjeta de extensión es actuar de traductor entre el procesador Opteron, que sólo entiende HT, y la red de procesadores que entiende las extensiones de HT.

Las ventajas tecnológicas y comerciales de esta solución externa son mayores que las desventajas en comparación con la implementación anterior. Por tanto, ésta es la implementación que se describirá en el resto del artículo.

A. Expansión de HyperTransport

El grupo de investigación *Computer Architecture Group* de la Universidad de Heidelberg (Alemania) tiene una gran experiencia en el diseño de sistemas hardware/software. Una de las principales contribuciones de este grupo son dos modelos de tarjetas de extensión, llamados HT1 [3] y HT3 [9] (no confundir con la versión de la especificaciones). Ambas tarjetas proporcionan una excelente plataforma para la evaluación de dispositivos conectados al HTX. Las principales diferencias entre las tarjetas son

- La tarjeta HT1 es compatible con la versión 2.0 de la especificación de HT, y la HT3 es compatible con la versión 3.0.
- La tarjeta HT1 proporciona 6 puertos externos, y sin embargo, la tarjeta HT3 soporta sólo 2 puertos externos.
- Otras diferencias provenientes del cambio de tipo de FPGA en HT1 (una Virtex4) y en HT3 (tres Virtex5).

Aunque la tarjeta HT1 no alcance las altas frecuencias de la tarjeta HT3, tiene una ventaja muy interesante respecto a la HT1 que son sus 6 puertos externos. Así, si utilizamos la tarjeta HT para intercomunicar diferentes máquinas, la HT1 permite

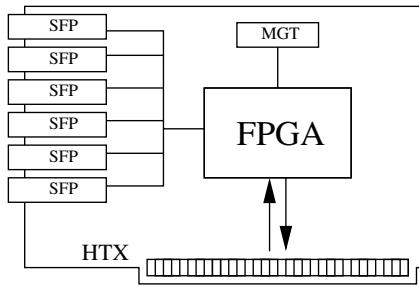


Fig. 2. Diagrama de la HTX-card.

construir un mayor número de redes distintas a nivel topológico, por ejemplo: mallas 2D/3D y toros 2D/3D, pues como se ha visto, el número de puertos externos difiere en ambas tarjetas. En lo que resta, este trabajo se centra en la tarjeta HT1.

La tarjeta HT1 (también llamada HTX-card) tiene 6 puertos externos bidireccionales (conectores SFP), 1 enlace HT interno (al conector HTX), y 4 enlaces serie en la placa (MGT-Mezzanine). Los enlaces MGT-Mezzanine pueden configurarse como 4 enlaces independientes, o como un enlace único empleando hardware adecuado. Todos los enlaces están conectados a la FPGA. La Figura 2 muestra un diagrama donde pueden apreciarse los enlaces externos e internos de la tarjeta HTX-card.

La principal característica de la HTX-card es su naturaleza heterogénea, es decir, la tarjeta posee enlaces con diferentes características hardware. La Tabla I muestra un resumen de los anchos de banda de los enlaces de la HTX-card.

TABLA I
ANCHO DE BANDA DE LOS ENLACES DE LA HTX-CARD.

Enlace	Unidireccional
SFP	4.5 Gbit/s
MGT-Mezzanine	6.25 Gbit/s
HTX	12.8 Gbit/s

Si bien una HTX-card conecta una placa madre con otras placas remotas, también será posible realizar una placa dedicada (*backplane*) parecida a la que muestra la Figura 3. La backplane podrá montar varias HTX-cards que funcionarán conjuntamente como un switch. El nuevo switch (que llamaremos HTX-SW) podrá tener tantos puertos externos como la suma de los puertos externos de cada HTX-card individual. Las tarjetas de este nuevo switch se interconectarán mediante los enlaces internos, que como se ha visto en la Tabla I tienen velocidades diferentes. En concreto, en el HTX-SW se podrán utilizar los enlaces HT (conector HTX) y el MGT-Mezzanine. En función del número de tarjetas HTX que se utilicen, y qué patrón de interconexión se emplee, así se podrán formar diferentes clases de switches HTX-SW. Algunos de estos switches se describen en las siguientes secciones.

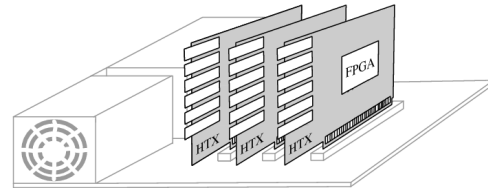


Fig. 3. HTX-SW formado por tres tarjetas HTX-card.

III. INTERCONEXIÓN DE HYPERTRANSPORT

Los switches basados en tarjetas HTX-card podrían interconectarse de muy variadas formas. La topología siempre se seleccionará dependiendo del número de nodos (placas madre) que se desee utilizar. Diferentes topologías tendrán diferentes ventajas e inconvenientes, y por tanto, ninguna es la óptima para todas las configuraciones. Así, se pueden distinguir dos clases de redes en función del número de nodos:

Redes de tamaño medio. Los 6 enlaces externos de cada HTX-card pueden utilizarse para formar topologías directas de 2 y 3 dimensiones, como mallas y toros de cualquier tamaño, además de hipercubos de hasta 64 nodos. La Figura 4 muestra un hipercubo y en la Figura 5 se muestra una malla 3D, donde cada punto representa una tarjeta.

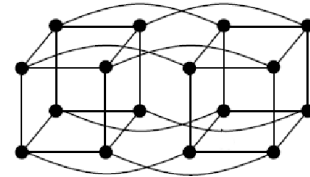


Fig. 4. Hipercubo.

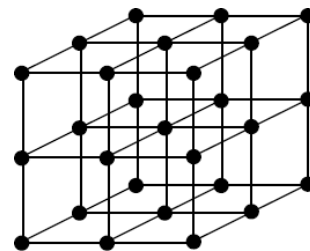


Fig. 5. Malla 3D.

Otra posibilidad es utilizar switches HTX-SW, que se pueden utilizar en topologías indirectas, como por ejemplo multietapas (MIN). La Figura 6 muestra una MIN formada por switches HTX-SW para una red de 18 placas madre.

Redes de gran tamaño. Conforme la red aumente de tamaño, la encapsulación de HNC, en otras tecnologías de red, comienza a ser más interesante porque la sobrecarga del proceso de traducción sólo se paga en los nodos finales. De este modo, se puede aprovechar las ventajas que

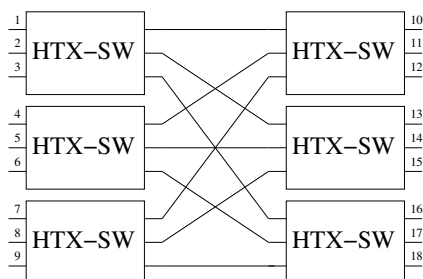


Fig. 6. Red multietapa con switches HTX-SW.

ofrecen los switches de otras tecnologías, por ejemplo Ethernet e Infiniband, para reducir el número de saltos. En todo caso, ambas propuestas son complementarias.

A. Switches HTX-SW

Se han seleccionado tres configuraciones para los switches HTX-SW. Reciben los nombres de 6P, 12P y 18P en función del número de puertos externos que proveen, 6, 12 y 18, respectivamente. El switch 6P se forma con una única HTX-card pinchada en una backplane.

En el caso de los switches 12P (Figura 7), estos se construyen pinchando dos HTX-cards en un backplane. Las tarjetas se comunican internamente a través del enlace HT (conector HTX), y de los enlaces serie (conector MGT-Mezzanine). Cuando los flujos de datos cruzan las tarjetas debe existir una política de planificación que decida qué enlace se utiliza, pues es una decisión muy determinante para el funcionamiento del switch.

Cuando los flujos de datos atraviesan el switch, reciben un tratamiento diferente, en función de que el puerto de entrada y de salida pertenezcan a la misma HTX-card. Los flujos que no necesitan atravesar los enlaces internos irán a la velocidad de los enlaces externos. Sin embargo, cuando un flujo necesite atravesar las dos HTX-cards entonces el HTX-SW debe decidir qué enlace utilizar.

Para el caso de switches 18P (Figura 8), son tres tarjetas HTX-card las que se conectan a la placa backplane. De las tres tarjetas, sólo dos de las tarjetas se conectarán por medio del enlace HT (conector HTX). Y de entre las dos, una de ellas usará el enlace serie (MGT-Mezzanine) para conectarse con la tercera HTX-card. De igual manera, esta configuración también sufre el problema con el tratamiento de los flujos de datos. Incluso el problema se incrementa cuando algunos flujos deben traspasar ambos enlaces internos (MGT y HTX).

Por otra parte, si el HTX-SW se utiliza como un switch en una etapa de una red MIN entonces se debe decidir qué puertos externos se asignan al sentido ascendente y cuáles, al sentido descendente. Si este reparto no se realiza de la forma adecuada, se podrían dar determinados patrones de tráfico que degradarían irremediablemente las prestaciones de la red.

IV. TRABAJO FUTURO

Antes de construir los switches dedicados de HT, sería conveniente estimar el rendimiento de las distintas alternativas de interconexión de tarjetas HTX-card. Igualmente, también habría que completar un estudio de patrones de conexión de los switches HT en función del número de nodos de la red. Merece una mención especial las redes multietapa, porque es muy importante estudiar los patrones de tráfico para saber cuál debe ser la distribución óptima de puertos, es decir, qué puertos de la tarjeta se destinan para la etapa anterior y cuáles para la etapa siguiente.

Se van a proponer políticas de planificación que consideren la penalización de utilizar los enlaces internos. Por tanto, los objetivos son minimizar el retraso del tráfico de los flujos de datos que cruzan los enlaces internos, y maximizar el ancho de banda de todos los enlaces internos.

No se espera que exista una solución global para todas las configuraciones, sino que en función del tamaño de la red haya una solución diferente.

Por último, se realizará la evaluación de prestaciones de la encapsulación de HT en Ethernet/Infiniband.

La evaluación de rendimiento se llevará a cabo mediante simulación, y posteriormente, se podrá implementar en las tarjetas físicas. A fin de obtener resultados interesantes, se considerarán distintos patrones de tráfico sintético (uniforme, autosimilar, hot-spot, bit-reversal, multimedia, etc.), y se obtendrán trazas de la ejecución de aplicaciones en sistemas reales.

V. CONCLUSIONES

En este trabajo se ha visto que la tecnología HT ofrece una plataforma de alto rendimiento para los sistemas futuros. Motivado por la falta de escalabilidad del protocolo HT, el Consorcio de HT ha publicado las extensiones HNC para permitir escalar HT a una red con un número elevado de procesadores, eliminando el problema de escalabilidad.

Posteriormente, se han visto las tarjetas de expansión, como la HTX-card, que permiten interconectar placas madre. Mediante el uso de esta tarjeta de expansión es posible construir clusters de procesadores con redes de topología regular e irregular, todo de forma nativa. Se ha visto que la encapsulación de HT en otra tecnología de red también es interesante cuando el número de nodos del cluster es alto.

En este trabajo se ha visto un modo para la construcción de switches HT nativos, mediante el anidamiento de varias tarjetas HTX-card. También se han identificado varios problemas que surgen como consecuencia del anidamiento de tarjetas.

Como conclusión, se puede decir que vale la pena realizar estudios detallados del diseño de los switches basados en tarjetas HTX-card, porque quizá no sea necesario realizar diseños de switches HT específicos. Si se completan las tareas que se han planteado en este trabajo, se evitará realizar diseños específicos, se podrá aprovechar el hardware existente y así se reducirá la inversión económica.

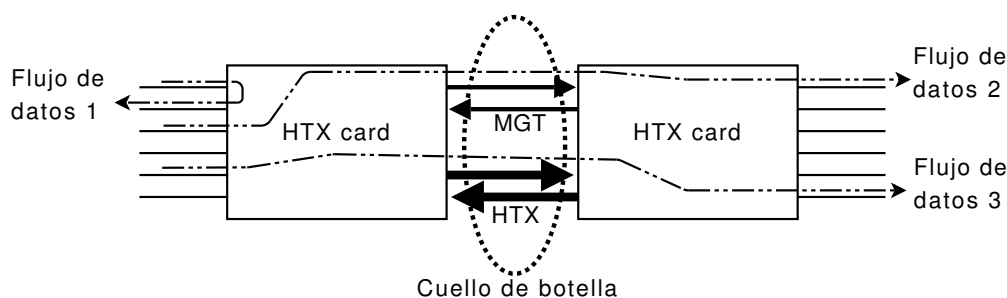


Fig. 7. Switch 12P.

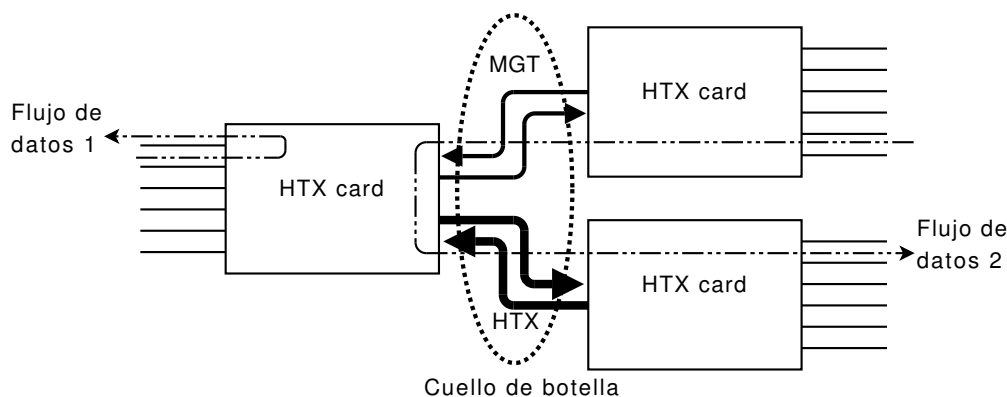


Fig. 8. Switch 18P.

AGRADECIMIENTOS

Este trabajo ha sido cofinanciado por el Ministerio de Educación y Ciencia, y por fondos FEDER de la Comisión Europea, con las subvenciones “Consolider Ingenio-2010 CSD2006-00046” y “TIN2006-15516-C04-02” respectivamente; por la Consejería de Educación y Ciencia de Junta de Comunidades de Castilla-La Mancha con el proyecto PCC08-0078-9856 y con una Beca Predoctoral de Investigación 07/096.

REFERENCIAS

- [1] HyperTransport Consortium, “HyperTransport I/O Link Specification, Revision 3.1,” July 2008.
- [2] “HyperTransport Consortium,” <http://www.hypertransport.org>.
- [3] David Slogsnat, Alexander Giese, Mondrian Nüssle, and Ulrich Brüning, “An open-source HyperTransport core,” *ACM Trans. Reconfigurable Technol. Syst.*, vol. 1, no. 3, pp. 1–21, September 2008.
- [4] Intel Corporation, “An introduction to Intel QuickPath Interconnect white paper,” Document 320412-001US, Intel, January 2009.
- [5] Robert A. Maddox, Gurbir Singh, and Robert J. Safranek, “The Architecture of the Intel QuickPath Interconnect,” Tech. Rep., Intel, 2009.
- [6] Jose Duato, Federico Silla, Sudhakar Yalamanchili, Brian Holden, Paul Miranda, Jeff Underhill, Mario Cavalli, and Ulrich Brüning, “Extending hypertransport protocol for improved scalability,” in *Proceedings of the First International Workshop on HyperTransport Research and Applications (WHTRA2009)*, 2009.
- [7] Holger Fröning, Mondrian Nüssle, David Slogsnat, Heiner Litz, and Ulrich Brüning, “The HTX-Board: A Rapid Prototyping Station,” in *Proceeding of 3rd Annual FPGA-World Conference, Stockholm, Sweden*, November 2006.
- [8] “HyperTransport Consortium Advanced Technology Group,” <http://www.hypertransport.org>.
- [9] Benjamin Kalish, Alexander Giese, Heiner Litz, and Ulrich Brüning, “HyperTransport 3 Core: A Next Generation Host Interface with Extremely High Bandwidth,” in *Proceeding of the First International Workshop on HyperTransport Research and Applications (WHTRA'09)*.